

# SEMICONDUCTOR LIGHT EMITTING ELEMENT AND MANUFACTURING METHOD

**Patent number:** JP2006253647 (A)

**Publication date:** 2006-09-21

**Inventor(s):** SAKAI MITSUHIKO; YAMAGUCHI ATSUSHI; NAKAHARA TAKESHI; SONOBE MASAYUKI; TSUTSUI TAKESHI

**Applicant(s):** ROHM CO LTD

**Classification:**


- **international:** **H01L33/00; H01L21/3065; H01L33/00; H01L21/02**


- **european:** H01L33/20


**Application number:** JP20050366961 20051220

**Priority number(s):** JP20050031682 20050208; JP20050366961 20051220

**Also published as:**

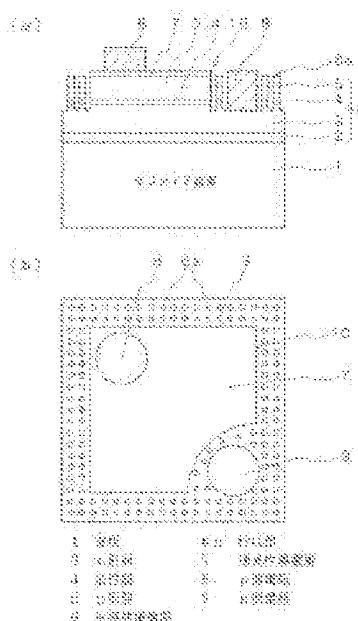
 EP1848043 (A1)

 KR20070104384 (A)

 WO2006085514 (A1)

## Abstract of JP 2006253647 (A)

**PROBLEM TO BE SOLVED:** To provide a nitride semiconductor light emitting element with a structure with improved external quantum efficiency, by taking out effectively light which is attenuated while repeating full reflection in a semiconductor laminated portion and in a board. ; **SOLUTION:** The nitride semiconductor light emitting element is provided with a semiconductor laminate 6 including a first conductive layer and a second conductive layer made of a nitride semiconductor on the surface of a substrate 1 made of sapphire as an example. A first electrode (for example, p-side electrode 8) is provided which is connected electrically with the first conductive type layer (for example p-type layer 5) on the surface side of the semiconductor laminate 6. A second electrode (for example, n-side electrode 9) is formed which is connected electrically to a second conductive type layer (for example, n-shaped layer 3). In addition, part of the semiconductor laminate 6 is etched and removed so that each pillar-shaped portion 6a bristled with the semiconductor laminated portion in the pillar shape remains, and the n-shaped layer 3 is exposed around the pillar-shaped portion 6a. ; COPYRIGHT: (C)2006,JPO&NCIP



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-253647

(P2006-253647A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int. Cl.

F I

テーマコード(参考)

H O 1 L 33/00 (2006.01)

H O 1 L 33/00

C

5 F 0 0 4

H O 1 L 21/3065 (2006.01)

H O 1 L 21/302

1 O 5 A

5 F 0 4 1

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2005-366961 (P2005-366961)  
(22) 出願日 平成17年12月20日(2005.12.20)  
(31) 優先権主張番号 特願2005-31682 (P2005-31682)  
(32) 優先日 平成17年2月8日(2005.2.8)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000116024  
ローム株式会社  
京都府京都市右京区西院溝崎町2 1 番地  
(74) 代理人 100098464  
弁理士 河村 洸  
(72) 発明者 酒井 光彦  
京都市右京区西院溝崎町2 1 番地 ローム  
株式会社内  
(72) 発明者 山口 敦司  
京都市右京区西院溝崎町2 1 番地 ローム  
株式会社内  
(72) 発明者 中原 健  
京都市右京区西院溝崎町2 1 番地 ローム  
株式会社内

最終頁に続く

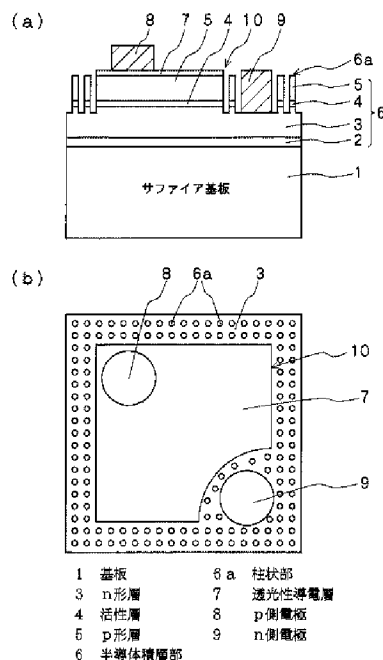
(54) 【発明の名称】 半導体発光素子およびその製法

(57) 【要約】

【課題】 半導体積層部と基板内で全反射を繰り返して減衰する光を有効に取り出し、外部量子効率を向上させた構造の窒化物半導体発光素子およびその製法を提供する。

【解決手段】 たとえばサファイアなどからなる基板1の表面に窒化物半導体からなる第1導電形層および第2導電形層を含む半導体積層部6が設けられ、その半導体積層部6の表面側の第1導電形層(たとえばp形層5)に電氣的に接続して第1電極(たとえばp側電極8)が設けられ、第2導電形層(たとえばn形層3)に電氣的に接続して第2電極(たとえばn側電極9)が形成されている。そして、半導体積層部6の少なくともチップ周囲において、半導体積層部が柱状に林立した柱状部6aが残し、柱状部6aの周囲はn形層3が露出するように、半導体積層部6の一部がエッチングにより除去されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項1】

基板と、窒化物半導体からなり第1導電形層および第2導電形層を含み、前記基板上に設けられる半導体積層部と、該半導体積層部の表面側の前記第1導電形層に電氣的に接続して設けられる第1電極と、前記第2導電形層に電氣的に接続して設けられる第2電極とを有する半導体発光素子であって、少なくともチップ周囲において前記第2導電形層が露出するように前記半導体積層部の一部がエッチングされることにより、前記半導体積層部のメサ構造部が形成されると共に、該メサ構造部の周囲に前記半導体積層部が柱状に林立して残存する柱状部が形成されてなる半導体発光素子。

## 【請求項2】

前記メサ構造部の側壁と前記柱状部との間隔が少なくとも $0.5\mu\text{m}$ 以上設けられてなる請求項1記載の半導体発光素子。

## 【請求項3】

前記半導体積層部が前記第1導電形層と第2導電形層との間に活性層を有し、前記柱状部の高さが前記活性層の位置よりも低くなるように頂部がエッチングされてなる請求項1または2記載の半導体発光素子。

## 【請求項4】

前記基板が絶縁性基板からなり、前記半導体積層部の一部がエッチングにより除去されて前記第2導電形層を露出させ、該露出した第2導電形層の表面に前記第2電極が設けられ、該第2電極の周囲にも前記柱状部が林立するように形成されてなる請求項1ないし3のいずれか1項記載の半導体発光素子。

## 【請求項5】

前記基板が半導体基板からなり、前記第2電極が該半導体基板の裏面に形成されてなる請求項1ないし3のいずれか1項記載の半導体発光素子。

## 【請求項6】

ウェハ状基板表面に発光層を形成するように窒化物半導体層を積層して半導体積層部を形成し、該半導体積層部が形成されたウェハ状基板を分割してチップ化することにより発光素子チップを形成する半導体発光素子の製法であって、前記ウェハ状基板をチップに分割する部分の前記半導体積層部を、柱状の半導体積層部からなる柱状部が林立して残存するようにマスクを形成して、前記基板側の導電形の半導体層が露出するまでエッチングすることにより半導体積層部からなるメサ構造部の周囲に柱状部を形成し、その後に該柱状部の部分で前記基板を分割することを特徴とする窒化物半導体発光素子の製法。

## 【請求項7】

前記半導体積層部をn形層と活性層とp形層とのダブルヘテロ構造で形成し、前記柱状部の高さが前記活性層の位置より低くなるように、前記柱状部の頂部をさらにエッチングする請求項6記載の窒化物半導体発光素子の製法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は基板上に、窒化物半導体が積層される青色系（紫外線から黄色）の光を発生する半導体発光素子およびその製法に関する。さらに詳しくは、少なくともチップの周囲で積層される半導体積層部の下層の導電形層を露出させる領域に、積層される半導体積層部を林立状に残存させることにより、露出する下層半導体層に凸凹を形成し、基板側から反射してきた光を外部に取出しやすくした構造の窒化物半導体を用いた半導体発光素子およびその製法に関する。

## 【背景技術】

## 【0002】

従来、青色系の光を発光する半導体発光素子は、たとえば図7に示されるように、サファイア基板31上に、Ga<sub>2</sub>Nなどからなる低温バッファ層32、Ga<sub>2</sub>Nなどからなるn形層33と、バンドギャップエネルギーがn形層33のそれよりも小さく発光波長を定める

材料、たとえばInGa<sub>x</sub>N系(InとGaの比率が種々変り得ることを意味する、以下同じ)化合物半導体からなる活性層(発光層)34と、Ga<sub>2</sub>Nなどからなるp形層35とが積層されて半導体積層部36が形成され、その表面に透光性導電層37を介して、p側(上部)電極38が設けられ、積層された半導体積層部36の一部がエッチングされて露出したn形層33の表面にn側(下部)電極39が設けられることにより形成されている。なお、n形層33およびp形層35はキャリアの閉じ込め効果を向上させるため、活性層側にAlGa<sub>x</sub>N系(AlとGaの比率が種々変り得ることを意味する、以下同じ)化合物などのさらにバンドギャップエネルギーの大きい半導体層が用いられることがある。

【0003】

このn側電極39を形成するため、半導体積層部36の一部がエッチングされ、下層半導体層であるn形層33を露出させるが、この際に、図7に示されるように、チップ周囲も幅Aが同時にエッチングされる。このチップ周囲をエッチングするのは、窒化物半導体が硬くてダイシングまたはスクライブをしにくいいため、発光層形成部にクラックなどを生じさせないようにドライエッチングにより発光層形成部を分離するためである。そのため、基板をダイシングする際の位置ずれなどの公差を考慮すると、チップ周囲の幅Aは、チップの大きさBが400μm角程度に対して、25~40μm程度となる。

【0004】

一方、窒化物半導体も他の化合物半導体などと同様に、屈折率は2.5程度と空気の屈折率1よりはるかに大きい。そのため、窒化物半導体層の発光層で発光した光が、半導体積層部から空気中に出射する際に全反射を起こしやすく、半導体積層部から外に出ないで、半導体積層部内での反射を繰り返して減衰する光が多く、光の取出し効率が10%のオーダーとなり著しく低い。このような問題を解決するため、GaP系やAlGaInP系、AlGaAs系などの化合物半導体では、たとえば図8に示されるように、チップの周囲に凸凹を形成し、半導体積層部から外部へ光を出やすくする工夫がなされている(たとえば特許文献1参照)。すなわち、図8において、n形GaP基板41上に、n形GaP層42とp形GaP層43とがエピタキシャル成長されて半導体積層部44が形成され、その表面にたとえば3層構造からなるp側電極46、GaP基板41の裏面にn側電極47が形成され、ダイシングしてチップ化された後に、たとえば塩酸によるエッチングによりLEDチップの表面に凸凹44aを形成する粗面化処理が行われている。

【特許文献1】特開2000-299494号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

前述のように、発光層を形成するように半導体層を積層した半導体積層部で発光した光は、半導体積層部から外に放射されることにより利用することができるのであるが、半導体の屈折率は空気の屈折率より相当大きいので、全反射する確率が高く、外部に取り出しにくく、外部量子効率を上げられない。一方、LEDチップの外周面に凸凹を形成することにより、表面の凸凹により全反射しないで外部に取り出しやすくなるが、窒化物半導体は、非常に化学的に安定な材料でウェットエッチングにより表面を粗面化することはできない。なお、窒化物半導体発光素子は、窒化物半導体層、とくにp形窒化物半導体層のキャリア濃度を上げにくいので、前述の図7に示されるように、半導体積層部36の表面に透光性導電層37が設けられ、この透光性導電層37は、薄いAuやAu-Ni合金などで形成されているため、ウェットエッチングは可能であるが、この透光性導電層37は元々電流を拡散させるために設けられているもので、エッチングをすると電流を拡散させる機能が落ち、エッチングを見込んで厚く形成すると光を透過させ難くなり、結局外部量子効率が低下するという問題がある。

【0006】

本発明はこのような問題を解決し、半導体積層部と基板内で全反射を繰り返して減衰させることなく、光を有効に取り出し、外部量子効率を向上させることができる構造の窒化物半導体発光素子およびその製法を提供することを目的とする。

## 【0007】

本発明の他の目的は、チップ中心部の半導体積層部（メサ構造部）から出射される側面方向の光を減衰、吸収させることなく、光を有効に取り出し、さらに外部量子効率を向上させることができる構造の窒化物半導体発光素子およびその製法を提供することにある。

## 【課題を解決するための手段】

## 【0008】

本発明による半導体発光素子は、基板と、窒化物半導体からなり第1導電形層および第2導電形層を含み、前記基板上に設けられる半導体積層部と、該半導体積層部の表面側の前記第1導電形層に電気的に接続して設けられる第1電極と、前記第2導電形層に電気的に接続して設けられる第2電極とを有する半導体発光素子であって、少なくともチップ周囲において前記第2導電形層が露出するように前記半導体積層部の一部がエッチングされることにより、前記半導体積層部のメサ構造部が形成されると共に、該メサ構造部の周囲に前記半導体積層部が柱状に林立して残存する柱状部が形成されている。

## 【0009】

ここに窒化物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部または全部がAl、Inなどの他のIII族元素と置換したものおよび／またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物（窒化物）からなる半導体をいう。

## 【0010】

前記メサ構造部の側壁と前記柱状部との間隔が少なくとも0.5 $\mu$ m以上設けられることにより、メサ構造で発光した光の放射を遮り難くなるため好ましい。また、前記半導体積層部が前記第1導電形層と第2導電形層との間に活性層を有し、前記柱状部の高さが前記活性層の位置よりも低くなるように頂部がエッチングされていることにより、メサ構造の活性層で発光した光の放射をさらに遮り難くなるため好ましい。

## 【0011】

前記基板が絶縁性基板からなり、前記半導体積層部の一部がエッチングにより除去されて前記第2導電形層を露出させ、該露出した第2導電形層の表面に前記第2電極が設けられ、該第2電極の周囲にも前記柱状の半導体積層部が林立するように形成されてもよいし、前記基板が半導体基板である場合には、チップの周囲のみに柱状の半導体積層部が林立するように残存させ、前記第2電極が該半導体基板の裏面に形成されてもよい。

## 【0012】

本発明による半導体発光素子の製法は、ウェハ状基板表面に発光層を形成するように窒化物半導体層を積層して半導体積層部を形成し、該半導体積層部が形成されたウェハ状基板を分割してチップ化することにより発光素子チップを形成する半導体発光素子の製法であって、前記ウェハ状基板をチップに分割する部分の前記半導体積層部を、柱状の半導体積層部からなる柱状部が林立して残存するようにマスクを形成して、前記基板側の導電形の半導体層が露出するまでエッチングすることにより半導体積層部からなるメサ構造部の周囲に柱状部を形成し、その後該柱状部の部分で前記基板を分割することを特徴とする。

## 【0013】

前記半導体積層部をn形層と活性層とp形層とのダブルヘテロ構造で形成し、前記柱状部の高さが前記活性層の位置より低くなるように、前記柱状部の頂部をさらにエッチングすることがより好ましい。

## 【発明の効果】

## 【0014】

窒化物半導体を用いた発光素子では、窒化物半導体がウェットエッチングでは殆どエッチングされない非常に硬い材料であるため、歪みとりエッチングを含めたダイサーによる素子分離をすることができない。そのため、素子分離をする部分の半導体積層部にドライエッチングにより分離溝を形成し、基板をダイシングまたはスクライブしてチップ化を図っている。本発明では、分離溝部分を完全に溝として形成するのではなく、柱状の半導体

積層部を林立して残存するようにエッチングしているため、基板側で反射した光はこの柱状部分に入ると狭い領域で入射角が変わるため外部に光が出やすくなり、いわゆる光の取出し効率を向上させることができる。すなわち、基板や半導体積層部の四角い領域内で全反射を繰り返していると、入射角があまり変わらず全反射を繰り返しやすい、しかも半導体層を通過する距離も長くなるため減衰しやすいが、狭い領域で反射を繰り返すと入射角も変りやすく、減衰しないうちに外部に出やすい。その結果、外部量子効率が大幅に向上する。

【0015】

しかも、この柱状の半導体積層部（柱状部）は、従来の半導体積層部のチップ周囲をエッチングする工程で、柱状部分をエッチングしないようなマスクを形成しておくだけで、全く同じプロセスで形成することができるため、工数増にも繋がらず、コストアップになることなく外部量子効率を向上させることができる。

【0016】

また、チップ中心部の半導体積層部（メサ構造部）で発生した光は、基板側や表面側だけでなく側面側にも放出されることになるが、前述のように柱状の半導体積層部をエッチングにより形成した場合、柱状の半導体積層部の高さがチップ中心部の半導体積層部の高さと同じとなるため、側面から出た光は、柱状の半導体積層部によって遮断され、減衰されることになったり、柱状の半導体積層部中に側面光が入射することにより光吸収を生じることになる。しかし、本発明のように、柱状部の設ける位置を離して設けたり、柱状部の高さを、メサ構造部の活性層の位置より低くなるようにさらに柱状部の頂部をエッチング除去したりすることにより、メサ構造部から横方向に出た光が柱状の半導体積層部によって遮断されたり、また柱状の半導体積層部に吸収されたりすることがなくなるため、光の取り出し効率をさらに向上させることができる。その結果、外部量子効率がさらに向上する。

【発明を実施するための最良の形態】

【0017】

つぎに、図面を参照しながら本発明の半導体発光素子およびその製法について説明をする。図1には、青色系の発光に適した窒化物半導体層がサファイア基板上に積層される本発明による半導体発光素子の一実施形態の断面および平面の説明図が示されている。

【0018】

本発明による半導体発光素子は、図1に示されるように、たとえばサファイア（ $Al_2O_3$ 単結晶）などからなる基板1の表面に窒化物半導体からなる第1導電形層および第2導電形層を含む半導体積層部6が設けられ、その半導体積層部6の表面側の第1導電形層（たとえばp形層5）に電氣的に接続して第1電極（たとえばp側電極8）が設けられ、第2導電形層（たとえばn形層3）に電氣的に接続して第2電極（たとえばn側電極9）が形成されている。そして、半導体積層部6の少なくともチップ周囲において、n形層3が露出するように半導体積層部6の一部がエッチングされることにより、半導体積層部6のメサ構造部10が形成されると共に、メサ構造部10の周囲に半導体積層部が柱状に林立した柱状の半導体積層部（以下、単に柱状部という）6aが形成され、柱状部6aの周囲はn形層3が露出している。

【0019】

図1に示される例では、基板1に絶縁性基板であるサファイア基板が用いられている。そのため、半導体積層部6の一部がエッチングにより除去され、下層の導電形層であるn形層3を露出させ、その表面にn側電極9が形成されている。しかし、後述する図4に示されるように、基板1としては、SiCのような半導体基板を用いることもできる。この場合でも、ウェハから発光素子チップに分割する場合に、予め分割部分をドライエッチングにより分離しておくことが発光層にクラックなどの問題を引き起こすことなく内部量子効率の優れた発光素子を製造することができて好ましく、このようなエッチングをする際に、柱状に林立して半導体積層部6が残存するようなマスクを形成しておくだけで、簡単に柱状部6aを形成することができる。

## 【0020】

半導体積層部6は、たとえばつぎのような構造に形成される。たとえばGa<sub>0.9</sub>Nからなる低温バッファ層2が0.005～0.1 μm程度、SiをドーピングしたGa<sub>0.9</sub>NまたはAl<sub>0.1</sub>Ga<sub>0.9</sub>N系化合物からなるn形層3が1～10 μm程度、たとえば1～3 nmのIn<sub>0.15</sub>Ga<sub>0.85</sub>Nからなるウェル層と10～20 nmのGa<sub>0.9</sub>Nからなるバリア層とが3～8ペア積層される多重量子井戸 (MQW) 構造の活性層4が0.05～0.3 μm程度、p形のGa<sub>0.9</sub>NまたはAl<sub>0.1</sub>Ga<sub>0.9</sub>N系化合物半導体からなるp形層5が0.2～1 μm程度、それぞれ順次積層されることにより構成されている。なお、図1に示される例では、n形層3およびp形層5を共に1層で構成する例で示されているが、たとえば活性層側にAl<sub>0.1</sub>Ga<sub>0.9</sub>N系化合物からなるキャリアを閉じ込めやすい障壁層 (バンドギャップエネルギーの大きい層) と、活性層4と反対側にキャリア濃度を上げやすいGa<sub>0.9</sub>Nコンタクト層との複層にすることもでき、さらに低温バッファ層上にアンドープまたはn形などの高温バッファ層や、各層間の歪を緩和する超格子層などの他の層を介在させることができる。またこれらを他の窒化物半導体層で形成することもできる。

## 【0021】

さらに、この例では、n形層3とp形層5とで活性層4が挟持されたダブルヘテロ接合構造であるが、n形層とp形層とが直接接合するpn接合構造のものでもよい。また、活性層4も、前述のMQW構造に限らず、単一量子井戸構造 (SQW) またはバルク構造にすることもできる。

## 【0022】

この半導体積層部6のチップ中心部にメサ構造部10が形成されるように、チップ周囲およびn側電極の形成部分をエッチングして、n形層3を露出させる。この際、n側電極9の形成場所はその面積分完全にエッチングするが、チップ周囲およびn側電極9の周囲の半導体積層部6は、全面的にエッチングするのではなく、図1に示されるように、柱状部6aが林立して残存するようにエッチングする。この柱状部6aは、太さが数μm程度、たとえば直径が5 μmで、その間隔が数μm程度、たとえば2 μm (ピッチが7 μm) の大きさで形成される。なお、図では、チップ周囲に2列で柱状部6aが形成された図になっているが、実際には、柱状部6aの隣接する列は半ピッチずらして前述の大きさおよびピッチで形成され、チップ周囲の幅が25～40 μm程度はあるため、チップ周囲に4列以上は形成される。

## 【0023】

しかし、柱状部6aの大きさおよびその間隔、配列などはこの例に限定されるものではなく、自由にパターンを変えることができる。この場合、柱状部6aのピッチは小さく、数を多くした方が、光を取り出しやすい。とくに、発光するチップ中心部 (メサ構造部) にもっとも近い柱状部は、メサ構造部から0.5 μm以下の距離とすると、距離が近すぎるため、後述するようにメサ構造部で発光して横方向に出る光を遮断し減衰させることになるため、0.5 μm以上離間して配置することが好ましい。

## 【0024】

この柱状部6aの高さは、半導体積層部6の表面からn形層3が露出するまで行われるため、0.1～10 μm程度、好ましくは0.5～5 μm程度、さらに好ましくは1～2.5 μm程度の高さに形成される。深いほど輝度の向上には好ましいが、あまり深くしても輝度の向上にはそれほど効果は上がらず、また、エッチングレートは0.13 μm/分程度であり深くするとエッチングの時間がかかるため、1～2.5 μm程度の深さにするのが最も効果的である。

## 【0025】

すなわち、本発明者らは、前述の半導体積層部6の構造で発光素子を形成し、前述のパターンで柱状部6aの高さを種々変化させたときの輝度の変化を調べた。なお、この高さの変化は、n形層3を10 μm程度の厚さ形成しておいて、そのn形層3へのエッチングの深さを変えることにより変化させた。この柱状部6aの高さ、すなわちエッチングの深さを1 μmから2.5 μmの間で変化させた (横軸) ときのそれぞれの出力を、チップ周

囲を完全にエッチングして柱状部6 aを形成しないでn形層3を周囲の全面で露出させたときの出力で割った値(縦軸)で図2に示されている。図2から明らかなように、柱状部6 aが高いほど輝度が向上する傾向にあるが、1~1.5  $\mu\text{m}$ 程度の高さにすると急激に輝度が向上し、柱状部6 aを形成しない場合に比べて1.2倍以上に向上するが、その後の輝度の上昇は緩やかになる。一方、この柱状部の高さをあまり高くすると、n形層3が薄くなり、直流抵抗の増大につながり、p形層などを厚くしてこの高さを高くすると、エピタキシャル成長の時間が多くなり、さらにエッチング時間も長くなるため、コストアップになるという問題がある。そのため、前述のように、1~2.5  $\mu\text{m}$ 程度の高さにすることが最も好ましい。

【0026】

また、この柱状部6 aの平面形状は、図1に示されるような円形でなくても、三角形や四角形などの多角形状でも構わない。しかし、円形であれば常に入射角を小さくしやすいため、柱状部6 aから光を外に出しやすく好ましい。

【0027】

このような柱状部6 aを形成するには、従来のチップ周囲およびn側電極9を形成するためのドライエッチングと同様にドライエッチングで行うことができるが、その際のSiO<sub>2</sub>などの絶縁膜またはホトレジストなどにより形成するマスクに、前述のような大きさおよびピッチの柱状部6 aのパターンを形成しておけば、ドライエッチングを行うことにより、所望のパターンで柱状部6 aを形成することができる。ドライエッチングは、たとえば塩素と四塩化珪素のガスをエッチャントとして、プラズマエッチングを行うことにより形成することができる。

【0028】

この半導体積層部6上に、たとえばGaをドーピングして比抵抗を $5 \times 10^{-4} \Omega \cdot \text{cm}$ 程度としたZnOからなる透光性導電層7が0.1~1.0  $\mu\text{m}$ 程度、たとえば0.5  $\mu\text{m}$ 程度設けられている。そして、積層された半導体積層部6の一部がエッチングにより除去されて露出するn形層3上に、オーミックコンタクト用のn側電極9が、0.01  $\mu\text{m}$ 程度の厚さのTi膜と0.25  $\mu\text{m}$ 程度の厚さのAl膜とを積層した後600℃程度でシンターすることにより合金層として形成され、透光性導電層7の上の一部に、0.1  $\mu\text{m}$ 程度厚のTi膜と0.3  $\mu\text{m}$ 程度厚のAu膜との積層構造によりp側電極8が形成されている。そして、表面にp側電極8およびn側電極9の表面を除いて、全面に図示しないSiO<sub>2</sub>などのパシベーション膜を設けられている。透光性導電層7は、ZnOに限定されるものではなく、ITOやNiとAuとの2~100 nm程度の薄い合金層でも、光を透過させながら、電流をチップ全体に拡散することができる。

【0029】

本発明によれば、図3に柱状部6 aの一部の拡大図が示されるように、活性層4で発光して基板側に進んだ光または表面側に進んで表面で全反射した光の一部は、窒化物半導体層と基板1との界面または基板裏面で全反射して表面側に戻るが、その光のうち柱状部6 aに向かった光Pは柱状部6 a内に入り、柱状部6 aの側面で屈折して外に出る光(P1)や、柱状部6 aで全反射をしてその後表面に出る光(P2)が多くなるが、柱状部6 aがないと、露出したn形層3の表面で再度全反射をして(R)半導体層または基板1内で全反射を繰り返す、減衰するものが多くなる。すなわち、従来はn側電極9を形成する部分、およびチップ周囲のチップへの分割部分は、半導体積層部6の一部をドライエッチングによりエッチングしてn形層3を露出させているが、柱状部6 aがなくて平坦面であると、その部分に向かった光は図3のRで示されるように全反射しやすい。しかし、柱状部6 aに入り込むと、細い領域であり、しかも露出面と柱状部6 aの側面とは90°向きが異なるため、外部に出やすくなる。

【0030】

前述のように、従来のチップ周囲はウェハからの分割前にドライエッチングによりn形層3を露出させている。これは、ダイシングまたはスクライブをしようとすると、窒化物半導体は非常に硬い材料であるため、ダイシングなどの際にクラックが入りやすく、活性



層にクラックが入ると非常に内部量子効率が低下するため、それを防止するためである。一方、本発明のように、ダイシング部分に柱状部6aが林立していると、その柱状部6aにクラックが入る可能性がある。しかし、柱状部6aは上面に透光性導電層7は設けられておらず、発光には寄与しない部分であり、クラックが入っても問題がないと共に、柱状部6aは林立して独立しているため、そのクラックが透光性導電層7の下側の活性層4側に延びる心配は全くない。そのため、何の支障もなく、柱状部6aを林立状に残存させることができる。その結果、図2に示されるように、柱状部6aを形成しない場合に比べて、その輝度が1.13～1.3倍に向上する。

【0031】

前述の例では、チップ周囲およびn側電極9の周囲のみに柱状部6aを形成する例であったが、発光面積を減少させてこの柱状部の面積を大きくすることもできる。この場合、発光面積は小さくなるが、その分入力も小さくなり、結局内部量子効率（入力に対する発光出力の割合）は変わらず、その発光した光を柱状部からより多く取り出すことができ、発光した光の取り出し効率は大幅に向上する。その結果、トータルとしての輝度を向上させることができる。

【0032】

つぎに、図1に示される半導体発光素子の製法について説明をする。たとえば有機金属化学気相成長法（MOCVD法）により、キャリアガスの $H_2$ と共にトリメチルガリウム（TMG）、アンモニア（ $NH_3$ ）、トリメチルアルミニウム（TMA）、トリメチルインジウム（TMI n）などの反応ガスおよびn形にする場合のドーパントガスとしての $SiH_4$ 、p形にする場合のドーパントガスとしてのシクロペンタジエチルマグネシウム（ $Cp_2Mg$ ）またはジメチル亜鉛（DMZn）などの必要なガスを供給して順次成長する。

【0033】

まず、たとえばサファイアからなる絶縁基板1上に、たとえば400～600℃程度の低温で、GaN層からなる低温バッファ層2を0.005～0.1 $\mu m$ 程度成膜した後、温度を600～1200℃程度の高温に上げて、n形GaNからなるn形層（障壁層）3を1～10 $\mu m$ 程度成膜する。つぎに、成長温度を400～600℃の低温に下げて、たとえば1～3nmの $In_{0.13}Ga_{0.87}N$ からなるウェル層と10～20nmのGaNからなるバリア層とが3～8ペア積層される多重量子井戸（MQW）構造の活性層4を0.05～0.3 $\mu m$ 程度成膜する。ついで、成長装置内の温度を600～1200℃程度に上げ、GaNからなるp形層5を0.2～1 $\mu m$ 程度それぞれ積層する。

【0034】

その後、表面にSiNなどの保護膜を設けてp形ドーパントの活性化のため、400～800℃程度で10～60分程度のアニールを行い、ホトレジストを全面に塗布して、ホトリソグラフィ工程によりパターニングをして半導体積層部6のエッチングする部分（チップ周囲およびn側電極形成部分）を露出させる。この際、チップ周囲とn側電極形成場所の周囲は、柱状部6aが形成されるようにホトレジスト膜をパターニングしてマスクを形成する。その後、誘導結合型プラズマエッチング装置に入れて、たとえば塩素ガスを50sccm、四塩化珪素ガスを5sccm流し、エッチング中の装置内圧力を0.6Paに固定して上部コイルへのRFパワーを150W程度、プラズマ引き込みのための下部電極のRFパワーを50Wにした。その結果、マスクに覆われないで露出しているチップ周囲の柱状部6aの周りおよびn側電極の形成場所の半導体積層部6がエッチングされ、n形層3が露出する。このときのエッチングレートは0.13 $\mu m$ /分程度で、20分程度で2.5 $\mu m$ のエッチング深さになった。前述のマスクのパターニングにより、柱状部6aのパターンを自由に選定することができる。

【0035】

その後、たとえばGaドーパのZnO層をMBE、スパッタ、真空蒸着、PLD、イオンプレーティングなどの方法により0.5 $\mu m$ 程度成膜することにより透光性導電層7を形成する。そして、リフトオフ法により、前述のエッチングにより露出したn形層3の表

面に $0.01\mu\text{m}$ 厚のTi膜と $0.25\mu\text{m}$ 厚のAl膜を形成し、 $600^{\circ}\text{C}$ 程度の熱処理をすることによりシンターして合金化し、n側電極9とする。また、透光性導電層7上の一部に同様にリフトオフ法により、Ti膜を $0.1\mu\text{m}$ 厚、Au膜を $0.3\mu\text{m}$ 成膜してp側電極8を形成する。その結果、図1に示される構造のLEDチップが形成される。

【0036】

前述の例では、基板が絶縁性基板であるサファイア基板の例であったため、n側電極9を形成するのに、半導体積層部6の一部をエッチングしてn形層3を露出させ、それと同時にチップ周囲およびn側電極の周囲に柱状部6aを形成した。しかし、基板がSiCのような半導体基板の場合でも、チップ周囲に柱状部を林立させることが、チップに分割する際の活性層の保護および外部量子効率向上の観点から好ましい。その例が、図6に示されている。この例では、基板が絶縁性基板ではなく、半導体であるため、半導体積層部の一部をエッチングにより除去して露出するn形層3に電極を形成するのではなく、半導体基板1の裏面にn側電極9が形成されているだけで、後は前述の例と同じである。

【0037】

すなわち、SiC基板11上に、前述と同様に、低温バッファ層2、n形層3、活性層4、p形層5からなる半導体積層部6が形成され、そのチップ周囲がエッチングされることにより、柱状部6aが林立して形成されている。この場合、p側電極8はチップのほぼ中央部の透光性導電層7の表面に前述の材料で形成され、n側電極9は、SiC基板1裏面の全面に、たとえばNi膜を成膜することにより形成される。

【0038】

前述の各例では、柱状部の高さが、チップ中央部と同じ高さの例であるが、図4に示されるように、柱状部6aの頂部がさらにエッチングにより除去されている方がより光の取出し効率が向上し、外部量子効率が向上する。具体的には、柱状部6aを構成する第1導電形層(p形層)5、活性層4をエッチングで除去してやることにより、第2導電形層(n形層)3を露出させる。また、チップ中心部のメサ構造部10で発光して側面10aから出る光を遮断し減衰させないためには、チップ中心部のメサ構造部10に近接する柱状部6aとメサ構造部10の側面10aとを $0.5\mu\text{m}$ 以上離間して配置することがさらに好ましい。

【0039】

すなわち、図5(a)にメサ構造部10に近接する柱状部6aの一部の拡大図が示されるように、活性層4で発光した光は、表面側に進む光(Q1)や基板側に進む光(Q2)など四方に進み、最終的に表面側、半導体積層部6と基板1の側面、柱状部6aなどを通じて出射される。一方で、側面方向に進む光(Q3)は側面10aから出射することになるが、側面10aの真横の近接する位置に柱状部6aが存在すると、十分に光が広がる前に柱状部6aにより遮られることになり減衰してしまう。具体的には、柱状部6aがメサ構造部10の側面10aから $0.5\mu\text{m}$ 以下の距離に配置するとその影響は大きいことが実験的に確かめられた。したがって、メサ構造部10の側面10aから少なくとも $0.5\mu\text{m}$ 以上離間させて、柱状部6aを配置することが好ましい。

【0040】

また、柱状部6a内も、n形層3、活性層4、p形層4で構成されており、メサ構造部10の側面10aから出射した光が柱状部6a内に入射すると、柱状部6a内の活性層4にも入射し、この柱状部6a内の活性層4において光吸収を生じてしまい、側面10aから出射した光(Q3)は充分に外部へ放出されないことになり、外部量子効率が向上しない。そこで、柱状部6a内の活性層4での光吸収を防ぐためにも、また、メサ構造部10の活性層4で発光して直接横に出る光が柱状部6aに遮断されないようにするためにも、図5(b)に示されるように、柱状部6aの高さをメサ構造部10の発光層(活性層4)の位置よりも低くし、柱状部6aを、柱状部6aのn形層3が露出するまでエッチングにより除去することが好ましい。これにより、側面10aから出射した光(Q3)が柱状部6aで遮られることも吸収されることもなくなり、さらに外部量子効率が向上する。

【0041】

このような半導体発光素子を作製するには、柱状部6 aの形成以外の点は、前述の図1に示される半導体発光素子と同様である。すなわち、図1に示される半導体発光素子の製法と同様に、半導体層を積層し、アニール処理後、基板1側の導電形の半導体層が露出するまでエッチングし柱状部6 aを形成した後、さらに柱状部6 aのみが露出してメサ構造部1 0などが被覆されるようにマスクを形成して、柱状部6 aの頂部をn形層3が露出するまでエッチングする。それ以降は図1に示される半導体発光素子と同様であるので、その説明を省略する。

【0042】

より具体的には、n形層3を露出させると共に柱状部6 aを形成するプロセスを経た後、さらに、ホトレジストを全面に塗布して、ホトリソグラフィ工程によりパターニングをして柱状部6 aのみを露出させ、メサ構造部1 0を覆うマスク（図示せず）を形成する。その後、再度誘導結合型プラズマエッチング装置に入れて、たとえば塩素ガスを5 0 s c c m、四塩化珪素ガスを5 s c c m流し、エッチング中の装置内圧力を0. 6 P aに固定して上部コイルへのR Fパワーを1 5 0 W程度、プラズマ引き込みのための下部電極のR Fパワーを5 0 Wにした。その結果、マスクに覆われていない露出しているチップ周囲の柱状部6 a中のp形層5、活性層4がエッチングされて、n形層3が露出する。これにより、図1の素子よりも柱状部6 aの高さを低く形成することができる。その後は図1の半導体発光素子と同様の処理を行うことにより図4に示される構造の半導体発光素子が得られる。

【0043】

なお、メサ構造部1 0のみを覆うようにマスクを形成してエッチングすると、柱状部6 aの周囲の露出したn形層3もさらにエッチングされることになるが、n形層3は十分に厚いため問題はない。しかし、メサ構造部1 0をマスクで覆う際に、柱状部6 aの周囲の露出したn形層3の表面も覆うようにマスクを形成することにより、柱状部6 aの頂部のみをエッチングすることができる。この場合には、露出したn形層がさらにエッチングされることがないため、n形層の膜厚が薄くても問題はない。

【図面の簡単な説明】

【0044】

【図1】本発明による半導体発光素子の一実施形態の断面および平面の説明図である。

【図2】図1の柱状部の高さを変えたときの輝度の変化を示す図である。

【図3】本発明による半導体発光素子の柱状部により光が取り出しやすくなることを説明する図である。

【図4】本発明による半導体発光素子の他の実施形態を示す断面説明図である。

【図5】図4に示される構造にすることにより光が取り出しやすくなることを説明する図である。

【図6】本発明による半導体発光素子の他の実施形態を示す断面説明図である。

【図7】従来の窒化物半導体を用いたLEDの斜視説明図である。

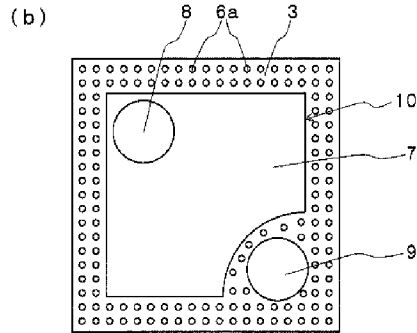
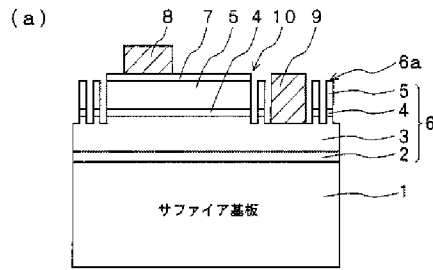
【図8】従来のGaPを用いたLEDで表面に凹凸を設けた例の断面説明図である。

【符号の説明】

【0045】

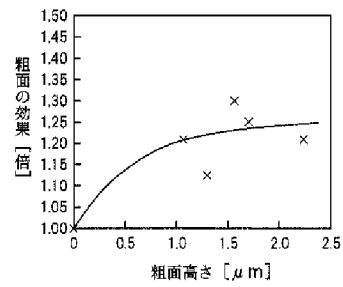
- 1 基板
- 3 n形層
- 4 活性層
- 5 p形層
- 6 半導体積層部
- 6 a 柱状半導体積層部（柱状部）
- 7 透光性導電層
- 8 p側電極
- 9 n側電極
- 1 0 メサ構造部

【図1】

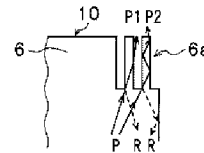


- |          |          |
|----------|----------|
| 1 基板     | 6a 柱状部   |
| 3 n形層    | 7 透光性導電層 |
| 4 活性層    | 8 p側電極   |
| 5 p形層    | 9 n側電極   |
| 6 半導体積層部 |          |

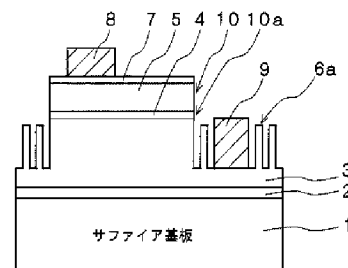
【図2】



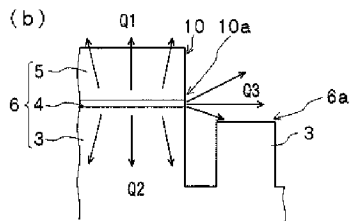
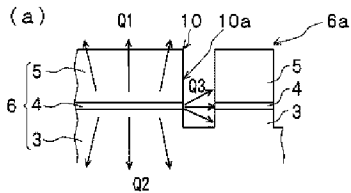
【図3】



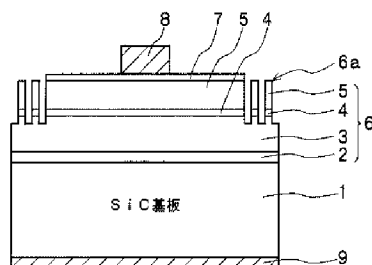
【図4】



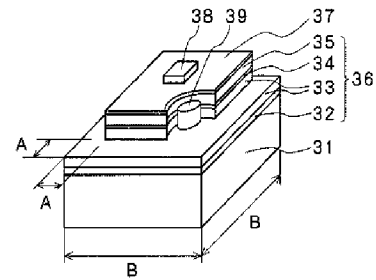
【図5】



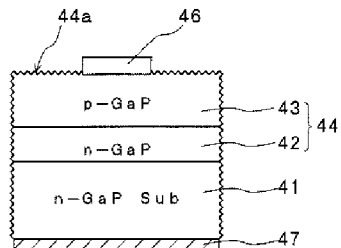
【図6】



【図7】



【図8】



(72)発明者 園部 雅之

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 筒井 毅

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 5F004 AA02 BA20 CA02 CA03 DA04 DA13 DB19 EB08

5F041 AA03 CA05 CA40 CA74 CB11 CB36